

## TEST SYSTEM FOR RAM CONTAINED LSI CHIP

Patent Number: JP1079673  
Publication date: 1989-03-24  
Inventor(s): HASEGAWA MASAO; others: 01  
Applicant(s): NEC CORP; others: 01  
Requested Patent: ☐ JP1079673  
Application Number: JP19870237651 19870922  
Priority Number(s):  
IPC Classification: G01R31/28  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To simplify a circuitry with a lessened addition of testing terminals, by holding a written data of a RAM with an n-bit written data register while an address of the RAM is held with an m-bit address counter.

**CONSTITUTION:** When a scan pass mode selection terminal 80 for testing is in a 'written data register mode for testing', a scan clock is applied to a written data register 40 for testing (n-bit). When the terminal 80 is in an 'address count register mode', a scan clock is applied to an address count register 50 (m-bit) for testing. Moreover, when the terminal 80 is in a 'data select count register mode', a scan clock is applied to a data select count register 60 for testing. Then, when a shift mode signal is invalid, an output to the register 60 is outputted selectively to a scan out output terminal 100 to form a reading data of a RAM 180 thereby allowing a lessened addition of terminals for testing.

Data supplied from the esp@cenet database - I2

TOP

## ⑫ 公開特許公報(A)

昭64-79673

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)3月24日

G 01 R 31/28

B-6912-2G

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 RAM内蔵LSIチップの試験方式

⑯ 特 願 昭62-237651

⑰ 出 願 昭62(1987)9月22日

⑱ 発 明 者 長 谷 川 正 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 江 口 裕 之 東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

\textcircled{21} 出 願 人 日本電気エンジニアリング株式会社 東京都港区西新橋3丁目20番4号

\textcircled{22} 代 理 人 弁理士 井ノ口 壽

## 明 細 書

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、内部にRAMを保有するLSIチップの試験方式に関する。

(従来の技術)

従来、この種のLSI内部に備えられたRAMの試験は、試験用の入力端子、ならびに観測用の出力端子等を別途に設け、RAM回路を通常論理と切離して試験すると云う方法により行われていた。

(発明が解決しようとする問題点)

上述した従来のLSI内部に備えられたRAMの試験は、試験用の入力端子、ならびに観測用の出力端子等を別途に設け、RAM回路を通常論理と切離して試験する方式であったため、試験用端子を追加する必要があるという欠点がある。

本発明の目的は、RAMの書き込みデータをnビットの書き込みデータレジスタにより保持するとともに、mビットのアドレスカウントレジス

## 1. 発明の名称

RAM内蔵LSIチップの試験方式

## 2. 特許請求の範囲

RAMを内蔵したLSIチップを実装して構成したRAM内蔵LSIチップの試験方式であって、前記RAMの書き込みデータを保持するためのnビットの書き込みデータレジスタと、前記RAMのアドレスを保持するとともに、カウント手段を有するmビットのアドレスカウントレジスタと、前記RAMから読出されたnビットのデータから任意の1ビットを選択し、前記選択された1ビットを特定のLSI端子に出力するためのRAM読出しデータ出力手段と、前記RAM読出しデータ出力手段に与える選択情報を保持するとともに、カウント手段を有するデータセレクトカウントレジスタとを具備して前記RAMを試験できるように構成したことを特徴とするRAM内蔵LSIチップの試験方式。

タによりRAMのアドレスを保持し、RAMから読出されたnビットのデータから任意の1ビットを選択し、この選択された1ビットを特定のLSI端子に出力することにより上記欠点を除去し、試験用端子を追加する必要があるように構成したRAM内蔵LSIチップの試験方式を提供することにある。

(問題点を解決するための手段)

本発明によるRAM内蔵LSIチップの試験方式は被試験素子であるRAMを内蔵したLSIチップを実装して試験を実施するものであって、nビットの書き込みデータレジスタと、mビットのアドレスカウントレジスタと、RAM読出しデータ出力手段と、データセレクトカウントレジスタとを具備してRAMを試験できるように構成したものである。

nビットの書き込みデータレジスタはRAMの書き込みデータを保持するためのものであり、mビットのアドレスカウントレジスタはRAMのアドレスを保持するとともに、カウント手段を

試験用スキャンパスで設定可能で、カウント手段を有する試験用RAMアドレスカウントレジスタ(mビット)、60は試験用スキャンパスで設定可能で、カウント手段を有する試験用読出しデータセレクトカウントレジスタ(1ビット)である。

80は試験用スキャンクロックの選択、ならびに出力データの選択を設定する試験用スキャンパスモード選択端子、90は試験用スキャン入力端子、100は試験用スキャン出力端子、110は試験用RAM制御信号入力端子、120はRAMテスト指示端子である。

130はRAMテスト指示端子120から通常論理と試験用論理とを切換えるためのRAM信号選択回路、140は試験用スキャンパスモード選択端子80に与えられた選択信号によって信号線70上の試験用スキャンクロックを制御するためのスキャンクロック制御回路である。すなわち、試験用スキャンパスモード選択端子80が“試験用書き込みデータレジスタモード”

有するものである。

RAM読出しデータ出力手段は、RAMから読出されたnビットのデータから任意の1ビットを選択し、選択された1ビットを特定のLSI端子に出力するためのものである。

データセレクトカウントレジスタは、RAM読出しデータ出力手段に与える選択情報を保持するとともに、カウント手段を有するものである。

(実施例)

次に、本発明について図面を参照して説明する。第1図は、本発明によるRAM内蔵LSIチップの試験方式の一実施例を示すブロック図である。第1図において、10は通常論理のアドレス信号を乗せる信号線、20は通常論理の書き込みデータ信号を乗せる信号線、30は通常論理のRAM制御信号を乗せる信号線、70は試験用スキャンクロックを乗せる信号線である。

40は試験用スキャンパスで設定可能な試験用書き込みデータレジスタ(nビット)、50は

のとき、スキャンクロックは試験用書き込みデータレジスタ40に与えられる。試験用スキャンパスモード選択端子80が“試験用アドレスカウントレジスタモード”のとき、スキャンクロックは試験用アドレスカウントレジスタ50に与えられる。試験用スキャンパスモード選択端子80が“試験用データセレクトカウントレジスタモード”のとき、スキャンクロックは試験用データセレクトカウントレジスタ60に与えられる。

150は、RAMの読出データの内1ビットを試験用読出しデータセレクトカウントレジスタ60の内容によって選択するための読出しデータ選択回路である。160は、信号線170上のシフトモード信号か、あるいは試験用スキャンパスモード選択端子80によりスキャン出力端子100へ出力されるデータかを選択するための出力データ選択回路である。

信号線170上のシフトモード信号が有効、且つ、参照番号80の試験用スキャンパスモー

ド選択端子80が“試験用書き込みデータレジスタモード”のとき、スキャン出力端子100へは試験用書き込みデータレジスタ40のスキャンアウト出力が選択される。

信号線170上のシフトモード信号が有効、且つ試験用スキャンバスモード選択端子80が“試験用アドレスカウントレジスタモード”のとき、スキャン出力端子100へは試験用アドレスカウントレジスタ50のスキャンアウト出力が選択的に出力される。

信号線170上のシフトモード信号が有効、且つ試験用スキャンバスモード選択端子80が“試験用データセレクトカウントレジスタモード”のとき、スキャン出力端子100へは試験用データセレクトカウントレジスタ60のスキャンアウト出力が選択的に出力される。

シフトモード信号が無効のとき、スキャンアウト出力端子100へは試験用データセレクトカウントレジスタ60の出力が選択的に出力され、RAM180の読出しデータが形成される。

(6). 試験用アドレスカウントレジスタ(mビット)50に信号線70から試験用スキャンクロックをm発与え、試験用スキャン入力端子90から内部RAM180の試験開始アドレスを設定する。

(7). 信号線170上のシフトモード信号を“0”(シフトモードでない)にする。

(8). 試験用RAM制御信号入力端子110に“書き込みパルス”を与える。

(9). 信号線70から試験用スキャンクロックを1発与え、試験用アドレスカウントレジスタ30の内容を+1だけ増分する。

(10). (8)~(9)を試験アドレス分( $2^m$ 回)だけ繰返す。

以上のようにして、 $n+2^m$ 回のクロックで内部RAM180への全ワードの書き込みを行うことができる。

次に、内部RAM180からのデータの読出しは次の第(11)~第(19)のステップによる。

(11). 信号線170上のシフトモード信号を

また、信号線170上にはシフトモード信号が乗る。

内部RAM180の試験は、次の手順で行う。

まず、内部RAM180へのデータの書き込みは次の第(1)~第(10)のステップによる。

(1). 試験用RAMテスト指示端子120を“1”(RAMテストモード)にする。

(2). 信号線170上のシフトモード信号を“1”(シフトモード)にする。

(3). 試験用スキャンバスモード選択端子80の設定を“試験用書き込みデータレジスタモード”にする。

(4). 試験用書き込みデータレジスタ(nビット)40に信号線70から試験用スキャンクロックをn発与え、試験用スキャン入力端子90から内部RAM180へデータパターン(任意)を設定する。

(5). 試験用スキャンバスモード選択端子80の設定を“試験用アドレスカウントレジスタモード”にする。

“1”(シフトモード)にする。

(12). 試験用スキャンバスモード選択端子80の設定を“試験用データセレクトカウントレジスタモード”にする。

(13). 試験用データセレクトカウントレジスタ(1ビット)60に信号線70から試験用スキャンクロックを1発与え、試験用スキャン入力端子90から読出しデータビット位置を設定する。

(14). 信号線170上のシフトモード信号を“0”(シフトモードでない)にする。

(15). 信号線70から試験用スキャンクロックを1発ずつ1回与え、試験用データセレクトカウントレジスタ(1ビット)60の内容を+1だけ増分させて読出しデータ選択回路150の出力を試験用スキャン出力端子100から読出す。これによって内部RAMデータが得られる。

(16). 試験用スキャンバスモード選択端子80の設定を“試験用アドレスカウントレジスタモ

ード・にする。

(17). 信号線70から試験用スキャンクロックを $2^1$ 発与え、試験用アドレスカウントレジスタ50の内容を+1だけ増分する。

(18). 試験用スキャンバスモード選択端子80の設定を・試験用データセレクトカウントレジスタモード・にする。

(19). (15)~(18)を試験アドレス分( $2^m$ 回)だけ繰返す。

以上のようにして、 $2^1 \times 2^m$ 回のクロックで内部RAM180への全ワードの読出しを行うことができる。

(発明の効果)

以上説明したように本発明は、RAMの書き込みデータをnビットの書き込みデータレジスタにより保持するとともに、mビットのアドレスカウントレジスタによりRAMのアドレスを保持し、RAMから読出されたnビットのデータから、任意の1ビットを選択し、選択された1ビットを特定のLSI端子に出力することにより、

試験用端子の追加が少なくすむため、回路構成が複雑にならないと云う効果がある。

#### 4.図面の簡単な説明

第1図は、本発明によるRAM内蔵LSIチップの試験方式を実現する一実施例を示すブロック図である。

40, 50, 60…レジスタ

130, 150, 160…選択回路

140…スキャンクロック制御回路

180…RAM

10, 20, 30, 70, 170…信号線

80, 90, 100, 110, 120…端子

特許出願人 日本電気株式会社

同上 日本電気エンジニアリング株式会社

代理人 弁理士 井ノ口 壽

※ 1 図

